

(1) Japanese Patent Application Laid-Open No. 4-262436 (1992):
“ADDRESS TRANSLATION BUFFER CIRCUIT”

The following is an extract relevant to the present application.

The present invention is utilized in a digital computer. The present invention relates to an address translation buffer circuit that can reduce a delay in comparison speed in a virtual storage computer. The present invention presents the configuration of an address translation buffer circuit employing a content addressable memory (CAM) cell as a tag part. Specifically, this publication shows such a configuration of comparing a process identification number for identifying the individual space of a multiple virtual storage space with an effective address for access in the tag part.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-262436

(43) 公開日 平成4年(1992) 9月17日

(51) Int.Cl.⁴

G 0 6 F 12/10

識別記号

庁内整理番号

A 7232-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 4 頁)

(21) 出願番号 特願平3-44252
(22) 出願日 平成3年(1991) 2月15日

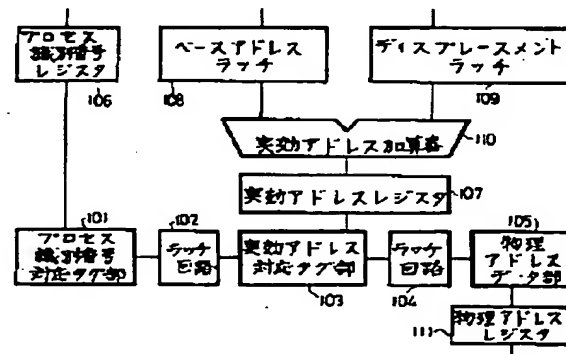
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 沖 秀隆
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 弁理士 井出 直孝

(54) 【発明の名称】 アドレス変換緩衝回路

(57) 【要約】

【目的】 最も遅い確定タイミングを有する入力信号群が確定してから論理アドレス比較一致出力が得られるまでの遅延を少なくする。

【構成】 連想記憶回路 (CAM回路) をタグ部として用い、その比較一致信号でワード選択を行う記憶回路 (RAM回路) をデータ部として用いるアドレス変換回路において、入力論理アドレス情報のうち確定タイミングの異なる信号群について各々に対応するタグを分割したCAM回路で構成し、確定タイミングの早い信号群から順次比較一致動作を先行して行う。



1

【特許請求の範囲】

【請求項1】 連想記憶回路により構成され、プロセス識別番号レジスタに格納されたプロセス識別番号、および実効アドレスレジスタに格納された実効アドレスの比較入力信号を受け比較一致処理を行う論理アドレスタグ部と、比較一致処理の内容を保持する第一のラッチ回路と、このラッチ回路から比較一致信号を受けワード選択を行うRAM回路により構成された物理アドレスデータ部と、この物理アドレスデータ部により選択された内容を格納する物理アドレスレジスタとを備えたアドレス変換緩衝回路において、前記論理アドレスタグ部は、前記プロセス識別番号レジスタからの比較入力信号の比較一致処理を行う連想記憶回路により構成されたプロセス識別番号対応タグ部と、前記実効アドレスレジスタからの比較入力信号および前記第二のラッチ回路の内容にしたがって実効アドレスの比較一致処理を行う連想記憶回路により構成された実効アドレス対応タグ部とに分割され、前記プロセス識別番号対応タグ部の比較一致処理結果をラッチし前記実効アドレス対応タグ部に与える第二のラッチ回路を備えたことを特徴とするアドレス変換緩衝回路。

【請求項2】 ベースアドレスラッチおよびディスプレースメントラッチを備え、このラッチからのベースアドレスおよびディスプレースメントを加算して実効アドレスとし前記実効アドレスレジスタに格納する実効アドレス加算器を備えた請求項1記載のアドレス変換緩衝回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ディジタル計算機に利用する。本発明は仮想記憶計算機における比較動作の遅延を低減することができるアドレス変換緩衝回路に関する。

【0002】

【従来の技術】 従来、連想記憶回路（以下CAM: Content Addressable Memoryという）をタグ部として用いたアドレス変換緩衝回路は、タグ部に入力される入力信号を1個のCAMで構成された信号比較回路手段で比較動作を行い、その比較結果を比較一致出力線を介して物理アドレスデータ部を構成する記憶回路（RAM: Random Access Memory という）に送りワード選択動作を行っていた。

【0003】 図3は従来のアドレス変換緩衝回路の構成を示すブロック図である。この図3を参照して従来例の動作について説明する。

【0004】 論理アドレス情報は、多重仮想記憶空間の個々の空間の識別を行うプロセス識別番号とアクセスする実効アドレスとからなり、この二つの信号は各々プロセス識別番号レジスタ106 および実効アドレスレジスタ107 に格納され、CAM回路により構成された論理アド

2

レスタグ部101'、103'で比較動作が行われ、タグと一致したエントリに対応するワードがRAM回路により構成された物理アドレスデータ部105から選択されて物理アドレスとして出力される。

【0005】 図4は論理アドレスタグ部101'、103'として用いるCAM回路をトランジスタで構成したもので、1エントリ分の回路が示されている。タイミング信号122に従い比較一致線126がプリチャージされる。タイミング信号122が反転するとプロセス識別番号レジスタ106および実効アドレスレジスタ107に格納されているプロセス識別番号および実効アドレスの内容と論理アドレスタグ部（CAM回路）101'、103'に登録されている内容とが異なっているものは比較一致線126がディスチャージ線129を通してディスチャージされる。内容の一致しているエントリのみは比較一致線126が'1'に保たれてラッチ回路104にラッチされ、次のタイミングで物理アドレスデータ部（RAM回路）105によりワード選択が行われ、その内容が物理アドレスレジスタ111に格納される。

【0006】

【発明が解決しようとする課題】 上述した従来のアドレス変換緩衝回路では、入力信号の論理アドレス情報を単一のCAM回路で比較動作を行っているため、入力信号のビット数、すなわち比較対象ビット数が増えると、比較一致線の負荷が重くなり比較動作の遅延が大きくなる問題がある。

【0007】 先に例として説明した多重仮想記憶におけるアドレス変換緩衝回路のように、比較入力としてプロセス識別番号、実効アドレスをともに用いる場合、一般にプロセス識別番号の確定タイミングは実効アドレスの確定タイミングよりも早いにもかかわらず、CAM回路の比較一致動作は実効アドレスの確定する時刻から開始され、プロセス識別番号実効アドレスに対応するCAMセルが接続された負荷の大きな比較一致線を駆動することになる。このためアドレス変換動作の遅延が大きくなる問題がある。

【0008】 本発明はこのような問題を解決するもので、アドレス変換動作の遅延を少なくすることができる回路を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、連想記憶回路により構成され、プロセス識別番号レジスタに格納されたプロセス識別番号、および実効アドレスレジスタに格納された実効アドレスの比較入力信号を受け比較一致処理を行う論理アドレスタグ部と、比較一致処理の内容を保持する第一のラッチ回路と、このラッチ回路から比較一致信号を受けワード選択を行うRAM回路により構成された物理アドレスデータ部と、この物理アドレスデータ部により選択された内容を格納する物理アドレスレジスタとを備えたアドレス変換緩衝回路において、前記論

3

理アドレスタグ部は、前記プロセス識別番号レジスタからの比較入力信号の比較一致処理を行う連想記憶回路により構成されたプロセス識別番号対応タグ部と、前記実効アドレスレジスタからの比較入力信号および前記第二のラッチ回路の内容にしたがって実効アドレスの比較一致処理を行う連想記憶回路により構成された実効アドレス対応タグ部とに分割され、前記プロセス識別番号対応タグ部の比較一致処理結果をラッチし前記実効アドレス対応タグ部に与える第二のラッチ回路を備えたことを特徴とする。

【0010】ベースアドレスラッチおよびディスプレースメントラッチを備え、このラッチからのベースアドレスおよびディスプレースメントを加算して実効アドレスとし前記実効アドレスレジスタに格納する実効アドレス加算器を備えることが望ましい。

【0011】

【作用】入力信号となる論理アドレス指定情報についてその確定タイミングが異なる信号ごとに分割されたアドレスタグ部をCAM回路で構成し、確定タイミングで早い信号群に対応するCAM回路の比較一致出力を次に確定する信号群に対応するCAM回路の比較一致線の入力に印加し、最後に確定する信号群に対応するCAM回路の一致出力線を物理アドレス情報を格納するRAM回路のワード選択信号に接続する。

【0012】プロセス識別番号はプロセス切換えが行われるときに書き換えられ、アドレス加算が行われる時刻にはその内容は確定する。そのために、アドレス加算を行うのと並行してプロセス識別番号の比較一致処理を行い、その結果を次のタイミングで実効アドレスの比較一致処理を行う際に加えることが可能となる。

【0013】これにより、最も遅く入力が確定する信号群に対応するCAM回路の比較一致出力線の負荷容量を最小限に保つことができ、最も遅い確定タイミングを有する入力信号群が確定してから論理アドレス比較一致出力が得られるまでの遅延を少なくすることができる。

【0014】

【実施例】次に、本発明実施例を図面に基づいて説明する。図1は本発明実施例の構成を示すブロック図である。

【0015】本発明実施例は、プロセス識別番号レジスタ106からの比較入力信号の比較一致処理を行う連想記憶回路により構成されたプロセス識別番号対応タグ部101と、実効アドレスレジスタ107からの比較入力信号および第二のラッチ回路102の内容にしたがって実効アドレスの比較一致処理を行う連想記憶回路により構成された実効アドレス対応タグ部103とに分割され、プロセス識別番号対応タグ部101の比較一致処理結果をラッチし実効アドレス対応タグ部103に与える第二のラッチ回路102を備える。

【0016】さらに、実効アドレス対応タグ部103によ

4

る比較一致処理の内容を保持するラッチ回路104と、このラッチ回路104から比較一致信号を受けワード選択を行うRAM回路により構成された物理アドレスデータ部105と、この物理アドレスデータ部105により選択された内容を格納する物理アドレスレジスタ111とを備え、ベースアドレスラッチ108およびディスプレースメントラッチ109を設け、このラッチからのベースアドレスおよびディスプレースメントを加算して実効アドレスとし実効アドレスレジスタ107に格納する実効アドレス加算器110を備える。

【0017】プロセス識別番号対応タグ部101および実効アドレス対応タグ部103はトランジスタ回路により構成される。

【0018】本実施例では、論理アドレス入力情報の二つの入力（例えば、アドレス指定のベースとディスプレースメント）の加算結果の実効アドレスとプロセス識別番号とでアドレス変換回路のタグ部を2分割した場合を示す。プロセス識別番号レジスタ106にはプロセス識別番号が格納され、実効アドレスレジスタ107には実効アドレスが格納される。実効アドレスレジスタ107に格納される実効アドレスはベースアドレスラッチ108およびディスプレースメントラッチ109に格納されるベースアドレスおよびディスプレースメントを実効アドレス加算器110で加算したものである。

【0019】一般に、プロセス識別番号はプロセス切換えが行われるときに書き換えられ、アドレス加算が行われる時刻にはその内容は確定している。そのためアドレス加算を行うのと並行してプロセス識別番号の比較一致処理を行い、その結果を次のタイミングで実効アドレスの比較一致処理を行う際に加えることが可能である。

【0020】図2は本発明実施例のプロセス識別番号対応タグ部（CAM回路）101および実効アドレス対応タグ部（CAM回路）103をトランジスタレベルで示したものである。タイミング信号121に従ってプロセス識別番号の比較一致処理が行われ、その結果はラッチ回路102に保持される。この値はプロセス識別番号の比較が一致したエントリが'0'で不一致のものは'1'となっている。

【0021】次のタイミングで実効アドレスレジスタ107とラッチ回路102の内容に従って実効アドレスの比較一致処理が行われる。このときラッチ回路102に'1'が保持されている状態つまりプロセス識別番号不一致の場合には、比較一致出力線124によりトランジスタ125がオンになり比較一致線126がディスチャージされ、最終的な比較一致出力線127が'0'となってこのエントリが不一致であることを示す。

【0022】プロセス識別番号が一致しているときはトランジスタ125はオフ状態であり、実効アドレスも一致していると比較一致出力線127は'1'に保持され、比較一致出力線127がオンになり、物理アドレスデータ部

5

(RAM回路)105のアクセスが行われ、内容が物理アドレスレジスタ111に格納される。

【0028】

【発明の効果】以上説明したように本発明によれば、タグ部にCAM回路を用いたアドレス変換回路において入力論理アドレス情報のうち、確定タイミングの異なる信号群について各々に対応するタグを分割したCAM回路で構成し、確定タイミングの早い信号群から順次比較一致動作を行うことにより、最も遅く入力確定する信号群に対応するCAM回路の比較一致出力線の負荷容量を最小限に保つことができ、最も遅い確定タイミングを有する入力信号群が確定してから論理アドレス比較一致出力が得られるまでの遅延をタグ部を単一のCAM回路で構成した場合に比べて低減することができる効果がある。

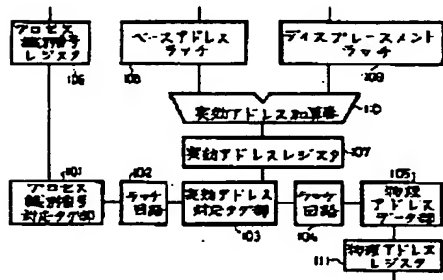
【図面の簡単な説明】

【図1】 本発明実施例の構成を示すブロック図。

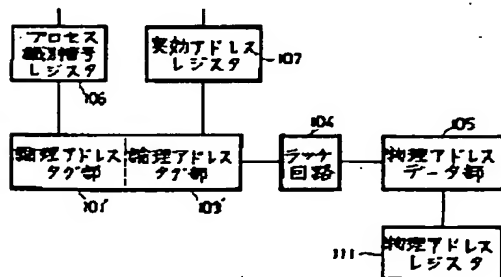
【図2】 本発明実施例におけるCAM回路をトランジスタ構成で示した図。

【図3】 従来例の構成を示すブロック図。

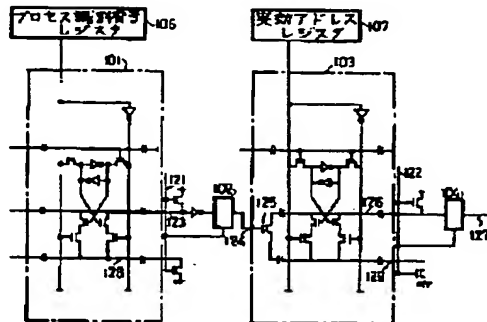
【図1】



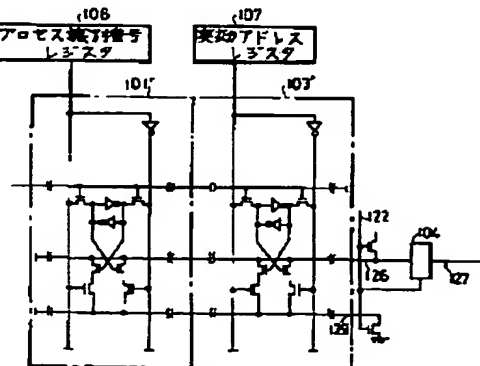
【図3】



【図2】



【図4】



【図4】 従来例におけるCAM回路をトランジスタ構成で示した図。

【符号の説明】

- 101 プロセス識別番号対応タグ部
- 101'、103' 論理アドレスタグ部
- 102、104 ラッチ回路
- 103 実効アドレス対応タグ部
- 105 物理アドレスデータ部 (RAM回路)
- 106 プロセス識別番号レジスタ
- 107 実効アドレスレジスタ
- 108 ベースアドレスラッチ
- 109 ディスプレースメントラッチ
- 110 実効アドレス加算器
- 111 物理アドレスレジスタ
- 121、122 タイミング信号
- 123、126 比較一致線
- 124、127 比較一致出力線
- 125 トランジスタ
- 128、129 ディスチャージ線

20